

МЕЃУНАРОДЕН ЦЕНТАР ЗА СЛАВЈАНСКА ПРОСВЕТА - СВЕТИ НИКОЛЕ

«МЕЃУНАРОДЕН ДИЈАЛОГ: ИСТОК - ЗАПАД»
(ЕКОНОМИЈА, БЕЗБЕДНОСНО ИНЖЕНЕРСТВО,
ИНФОРМАТИКА)

СПИСАНИЕ
на научни трудови

**ДВАНАЕСЕТТА МЕЃУНАРОДНА
НАУЧНА КОНФЕРЕНЦИЈА
„МЕЃУНАРОДЕН ДИЈАЛОГ: ИСТОК - ЗАПАД“**
МЕЃУНАРОДЕН СЛАВЈАНСКИ УНИВЕРЗИТЕТ
„ГАВРИЛО РОМАНОВИЧ ДЕРЖАВИН“
СВЕТИ НИКОЛЕ - БИТОЛА

Година VIII

Број 1

Април 2021

- СВЕТИ НИКОЛЕ, Р. СЕВЕРНА МАКЕДОНИЈА -
- 2021 -

Издавач: Меѓународен центар за славјанска просвета - Свети Николе

За издавачот: м-р Михаела Ѓорчева, директор

Наслов: «МЕЃУНАРОДЕН ДИЈАЛОГ: ИСТОК - ЗАПАД» (ЕКОНОМИЈА, БЕЗБЕДНОСНО ИНЖЕНЕРСТВО, ИНФОРМАТИКА)

Организационен одбор:

Претседател: проф. д-р Јордан Ѓорчев

Заменик претседател: д-р Стромов Владимир Јуревич, Русија

Член: м-р Борче Серафимовски

Член: м-р Милена Спасовска

Уредувачки одбор:

Проф. д-р Ленче Петреска - Република Северна Македонија

Проф. д-р Александар Илиевски - Република Северна Македонија

Проф. д-р Мирослав Крстиќ - Република Србија

Проф. д-р Момчило Симоновиќ - Република Србија

Проф. д-р Тодор Галунов - Република Бугарија

Проф. д-р Даниела Тасевска - Република Бугарија

Доц. д-р Хаџиб Салкиќ - Република Босна и Херцеговина

Проф. д-р Татјана Осадчаја - Руска Федерација

Доц. д-р Вера Шунаева - Руска Федерација

Уредник: проф. д-р Јордан Ѓорчев

Компјутерска обработка и дизајн: Адриано Панајотов, Маја Маријана Панајотова, Благој Митев

ISSN (принт) 1857-9299

ISSN (онлајн) 1857-9302

Адреса на комисијата: ул. Маршал Тито 77, Свети Николе, Р. Северна Македонија

Контакт телефон: +389 (0)32 440 330

Уредувачкиот одбор им се заблагодарува на сите учесници за соработката!

Напомена:

Уредувачкиот одбор на списанието «МЕЃУНАРОДЕН ДИЈАЛОГ: ИСТОК-ЗАПАД» не одговара за можните повреди на авторските права на научните трудови објавени во списанието. Целосната одговорност за оригиналноста, автентичноста и лекторирањето на научните трудови објавени во списанието е на самите автори на трудовите.

Секој научен труд пред објавувањето во списанието «МЕЃУНАРОДЕН ДИЈАЛОГ: ИСТОК-ЗАПАД» е рецензиран од двајца анонимни рецензенти од соодветната научна област.

Печати: Печатница и книжарница „Славјански“, Свети Николе

Тираж: 100

МЕЃУНАРОДЕН ДИЈАЛОГ

ИСТОК - ЗАПАД

ЕКОНОМИЈА, БЕЗБЕДНОСНО ИНЖЕНЕРСТВО,
ИНФОРМАТИКА

ОБЛАСТ
ИНФОРМАТИКА

Доц. д-р Жанета Сервини

МСУ „Г. Р. Державин“ Свети Николе – Битола
Р. Северна Македонија

М-р Јани Сервини

СОТУ „Ѓорѓи Наумов“ – Битола
Р. Северна Македонија

ПИН КОНФИГУРАЦИЈА НА ОПШТ МИКРОПРОЦЕСОР

АПСТРАКТ: Проблемот, кој е идентификуван од страна на авторите е недостаток на единствен генерален модел на општ МКП којшто е хардверски и софтверски близок до некој од реалните МКП.

Во трудот воведуваме оригинална 8-битна дигитална компонента како посебен модел на општ микропроцесор (ОМП), која како од хардверски, така и од софтверски аспект, претставува комбинација на заедничките карактеристики, но едновременно и нивно упростување, на три реални 8-битни микропроцесори: Intel 8080, Intel 8085 и Zilog Z-80. Поконкретно, во овој трудот се фокусираме на хардверскиот аспект и тоа во поголеми детали на пин-конфигурацијата објаснувајќи ја улогата на секој пин на нашиот ОМП-модел.

КЛУЧНИ ЗБОРОВИ: општ микропроцесор, пин-конфигурација, улога на пиновите

PIN CONFIGURATION OF GENERAL MICROPROCESSOR

ABSTRACT: The problem, identified by the authors, is the lack of a unified model of general microprocessor that is similar to any of the real microprocessors from hardware and software aspects. In this paper we introduce an original 8-bit digital component as a unique model of general microprocessor, which is a combination of common features, but at the same time simplification of three real 8-bit microprocessors: Intel 8080, Intel 8085 and Zilog Z-80. More specifically, in this paper we focus on the hardware aspect (on the pin configuration), explaining the role of each pin of our model.

KEY WORDS: general microprocessor, pin configuration, role of pins

ВОВЕД

Новововедениот ОМП е разработен во неколку различни трудови и тоа од трите клучни аспекти кои се неопходно потребни за разбирање на неговото функционирање и употреба со цел да се формира МКП-систем:

- » од внатрешен аспект – неговата интерна архитектура: функционалната блок-шема и пин конфигурација,
- » од аспект на поврзување со полупроводнички мемориски интегрирани кола, како и со различни влезно/излезни порти, но и
- » од софтверски аспект за негово програмирање во асемблерски јазик.

Сличноста на овој ОМП со трите наведени реални МКП-и во однос на нивните заеднички хардверски и софтверски особини е доста голема. Токму заради тоа, воведувањето на ваков оригинален модел на општ микро-процесор „осветлен“ од страна на сите три аспекти, овозможува поедноставување на

изучувањето и разбирањето на базичните принципи за функционирање на реалните МКП-и.

Освен научната јавност, бенефит од резултатите на овој труд ќе имаат и студентите од една страна, бидејќи им се олеснува совладувањето и разбирањето на базичните концепти во овој домен, а од друга страна професорите, бидејќи им се олеснува трансферот на знаења. На овој начин, студентите поедноставно ги стекнуваат неопходно потребните основи за архитектонската структура, функционирањето, поврзувањето во систем, како и програмирањето на реалните микропроцесори, кои би ги изучувале во понатамошната едукација.

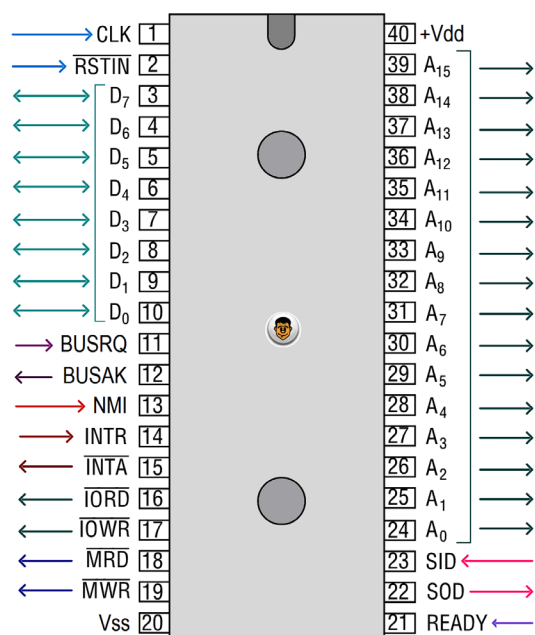
Поконкретно, во овој труд се фокусираме на хардверскиот аспект и тоа во поголеми детали на пин-конфигурацијата објаснувајќи ја улогата на секој пин на нашиот ОМП-модел.

1. ПИН КОНФИГУРАЦИЈА НА ОПШТИОТ МИКРОПРОЦЕСОР

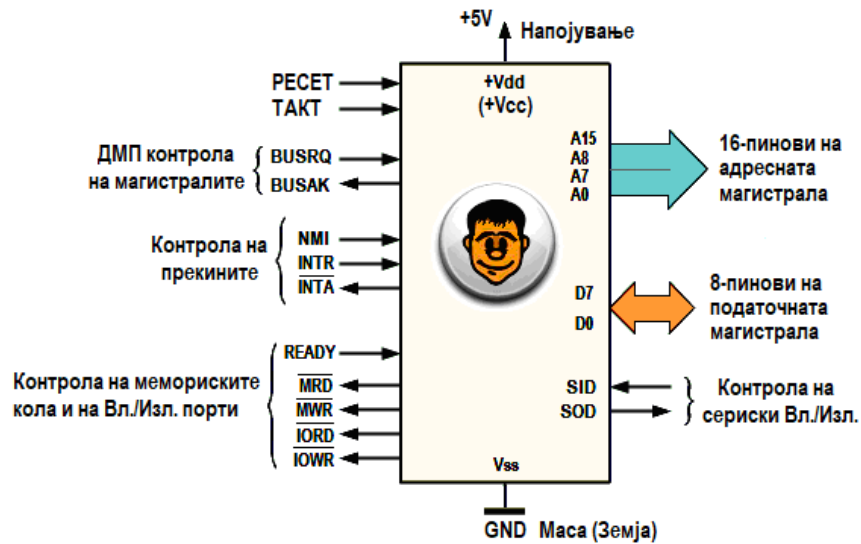
Општиот микропроцесор е „главниот играч“ во микрокомпјутерот или некој друг микропроцесорски систем кој се гради околу него поврзувајќи го со одредени периферни компоненти како што се најразлични мемориски ИК-а и В/И порти.

Ваквите надворешни компоненти со кои се формира МКП-систем на ОМП, се приклучуваат преку неговите 16 адресни и 8 податочни пинови од истоимените магистрала. Покрај нив ОМП располага и со дополнителни влезни пинови на кои добива сигнали за тоа во каква состојба се наоѓаат приклучените компоненти, но и излезни пинови преку кои испраќа сигнали за да ја контролира и управува нивната работа. Од овие пинови произлегува контролната магистрала на МКП систем.

Дополнителни пинови со посебна улога се оние што се потребни за напојување на КОП од +5V, пинот на кој се поврзува референтно нулто ниво од 0V („масата“), потоа пинот на кој се приклучува такт сигналот CLK со кој временски се синхронизира работата на ОМП и надворешните компоненти, како и пинот за ресетирање на КОП, RSTIN*. Во продолжение ќе ги наброиме сите 40 пинови на ОМП и поединечно подетално ќе ја објасниме нивната улога.



Сл. 1 Пин дијаграм со распоредот на пиновите на ОМП



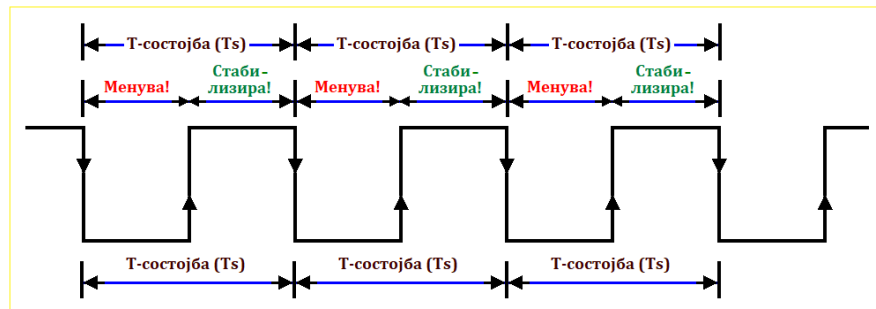
Сл. 2 Функциски пин-дијаграми на ОМП

1.1. Пинови за напојување, ресетирање и временска синхронизација

ОМП се напојува преку извор на стабилен еднонасочен напон на пинот означен со +Vdd, додека пинот означен со GND се заземјува на референтен потенцијал од 0V, т.е. се приклучува „маса“-та.

Влезниот пин RSTIN* е влез активен на ниско напонско ниво од 0V со што се врши хардверско ресетирање и првично бришење на ОМП кога во програмскиот бројач се сместуваат сите 16 нули: 0000000000000000bin, т.е. 0-та адреса 0000hex и со тоа тој се поставува на почетната состојба.

На влезниот пин за такт сигнал CLK се приклучува астабилно коло како такт генератор кој генерира периодична низа на правоаголни импулси и паузи со еднакво време траење и со амплитуда од +5V. Овој сигнал има периода $T_0=1\mu s$, односно фреквенција $f_0=1MHz$. Неговата улога е да ја синхронизира работата на ОМП и другите надворешни компоненти поврзани во системот.



Сл. 3 Временски облик на такт сигналот

Периодата на тактот T_0 се нарекува Т-состојба и се означува со T_s . Таа се зема како единечен временски интервал бидејќи е најмалиот временски интервал кој е потребен за состојбите на сите комбинациски и секвенцијални кола кои влегуваат во состав на МКП да ги променат своите логички состојби и истите да се стабилизираат. За „нашиот“ ОМП ќе земеме дека Т-состојбата трае од еден заден раб на такт-импулс до следниот заден раб на импулсот.

1.2. Пинови на адресната и податочната магистрала и пинови за сериска комуникација

Главната примена на ОМП е обработката на податоци на паралелен начин кога во единечен временски интервал од еден такт период T_0 , т.е. T -состојба T_s , тој едновременно може да прочита или да запише еднобајтен податок долг 8 бита. Сепак, ОМП може да прифаќа или да испраќа податоци и во сериски облик бит-по-бит кога за читање, односно за запишување на еднобајтен податок, ќе му бидат потребни 8 такт периоди T_0 .

Адресни пинови (A15 – A0): Преку 16-те адресни пинови, кои се исклучиво излезни, ОМП испраќа адресни сигнали кои ги носат 16-те адресни битови со кои ОМП адресира, а тоа значи селектира одредена мемориска компонента од повеќето приклучени за да може со неа да разменува податоци. Повисокиот адресен бајт HiAB се формира од сигналите присутни на пиновите A15 – A8, додека во состав на понискиот адресен бајт LoAB се адресните сигнали на пиновите A7 – A0. Заради ова ОМП најмногу може да адресира $2^{16} = 65536 = 64K$ различни мемориски локации кои го претставуваат неговиот адресен простор.

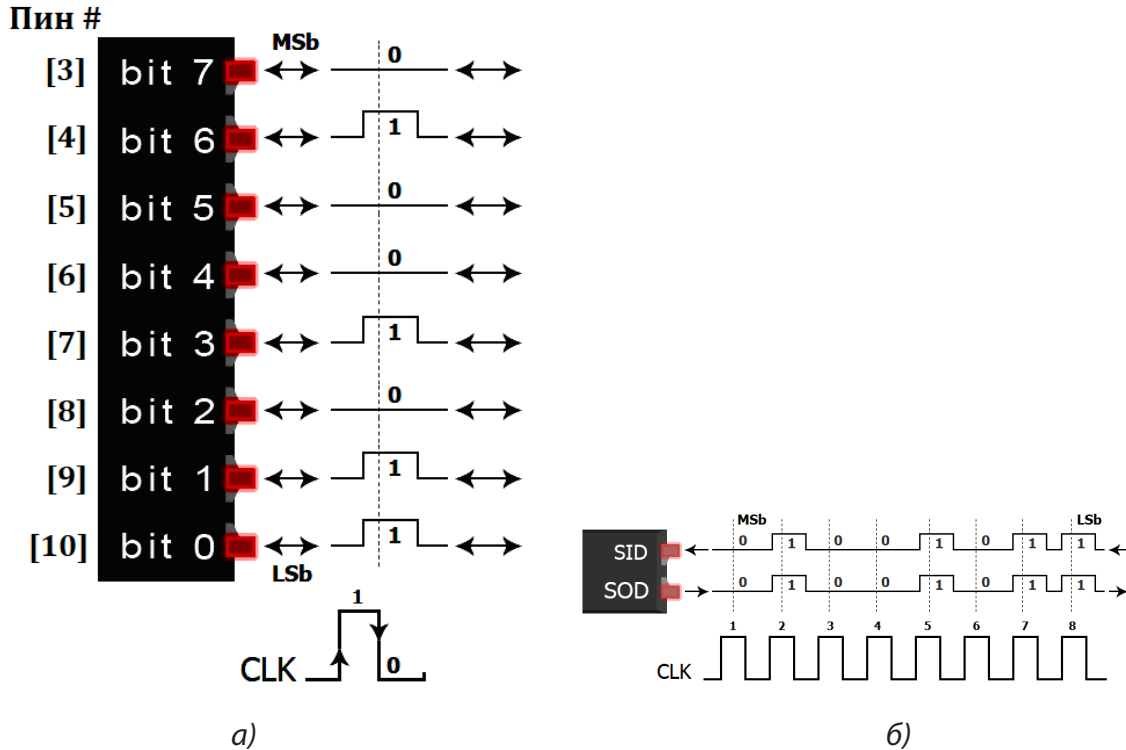
Податочни пинови (D7 – D0): Заради тоа што ОМП располага со 8 податочни пинови тој може од периферните компоненти едновременно, во единечен временски интервал од еден такт, паралелно да прочита/прифати, односно да запише/испрати едно-бајтен збор долг 8-бита (“еден такт – еден бајт”). За прифаќање на влезниот податок, односно за испраќање на некој резултат како излезен податок на пиновите од податочната магистрала, ОМП располага со повеќе регистри за општа намена чија должина изразена во битови е исто така 8-бита. Ова значи дека ОМП е и внатрешно и надворешно 8-битен процесор. Имајќи го во вид кажаното може да се заклучи дека 8-те пиновите на податочната магистрала се двонасочни, но во различни временски моменти: влезни кога ОМП чита/прифаќа некој бајт како влезен податок, односно излезни кога ОМП испраќа/запишува резултатен податок како излезен бајт.

Што се однесува до податочната магистрала треба да потенцираме една многу важна работа која се однесува на читање од оперативната меморија. Имено, кога ОМП ќе прочита содржина од одредена адресирана мемориска локација од работната меморија тој бајт го добива преку податочните пинови, при што истиот може да биде „пасивен“ или „активен“ податок. „Пасивниот“ податок може во вистински смисол на зборот да е податок кој треба да биде обработен од страна на ОМП, но може да биде и некоја адреса на В/И порта или еден од двата бајти на адресата на некоја мемориска локација. Меѓутоа, прочитаниот бајт може да биде и „активен“ податок, а тоа е кодот на операцијата (КОП) којшто е содржан во инструкцијата што ОМП треба да ја изврши.

Значи, бајтите кои процесорот ги добива преку податочната магистрала така што ја чита меморијата се податоци но во поширок контекст бидејќи можат да бидат кодови на операција или влезни податоци кои ќе бидат обработувани. По завршената обработка добиениот резултат може да биде само пасивен – излезен податок кој исто така по податочната магистрала процесорот ќе го запише во адресираната мемориска локација и/или ќе го испрати до некоја излезна порта.

Сериската комуникација бит-по-бит ОМП ја реализира преку двата пинови насловени како SID и SOD. Користејќи ги овие пинови ОМП може за еден такт период, или да прифаќа по еден бит преку пинот SID, или по еден бит да испраќа преку пинот SOD („еден такт – еден бит“). Со серискиот пренос на еднобајтен

податок би се изгубиле осум такта, што претставува значително успорување, но за сметка на тоа се користи само една линија за влез и една за излез, додека 8-те пинови на податочната магистрала остануваат слободни за вообичаениот паралелен пренос на еднобајтните податоци во еден такт интервал.



Сл. 4. а) Пинови на податочната магистрала и б) пинови за сериска комуникација

1.3. Пинови за контрола на читањето/запишувањето

Кога комуницира со периферните компоненти преку адресната и податочната магистрала ОМП всушност разменува податоци со мемориски интегрирани кола (ик-а) или со влезно-излезни порти. Полупроводничките мемориски компоненти кои се поврзуваат на ОМП може да бидат мемориски ик-а со случаен пристап чија содржина може само да се чита како што се E/E/P/ROM-чиповите, но и RAM-чипови чија содржина може да се чита, но и да се менува со запишување на нова. За да ја оствари предвидената размена на податоци ОМП користи четири излезни пина.

Станува збор за следните пинови: MRD* – читај од меморија, MWR* – запиши во меморија, IORD* – читај/прифати од В/И порта, поточно од влезна порта и IOWR* – запиши/испрати до В/И порта, поточно до излезна порта.

Испраќајќи контролни сигнали на овие пинови, ОМП управува со преносот и насоката на движење на податоците. Тој може да чита, односно да запишува податок во адресирана периферна компонента како на пр. одредено мемориско ИК, или да прифаќа, односно да испраќа податок до некоја В/И порта. При извршување на било која од овие четири машински операции, ОМП активира само еден од наведените контролни сигнали поставувајќи на него ниско напонско ниво кое одговара на логичка 0, додека другите три контролни сигнали ги држи пасивни поставувајќи на нив високо ниво кое соодветствува на логичка 1.

Според наведеното, за да прочита податок од некое мемориско ИК процесорот го активира сигналот на излезниот пин $MRD^*=0$, а ако треба да запише податок тој го активира излезниот пин MWR^* ($MWR^*=0$). При ова адресата на мемориската локација е поставена на сите 16 адресни водови.

Кога ОМП треба да комуницира со некоја влезна компонента и од неа да прифати/прочита податок процесорот го активира пинот $IORD^*=0$, додека ако треба да испрати/запише податок во некоја излезна порта тој го активира пинот $IOWR^*=0$. При преносот на податок со В/И компонента ОМП адресата на портата ја поставува само на ниските 8 адресни водови заради што максимално може да адресира до $28 = 256$ В/И порти.

Како дополнителен пин кој е потребен за остварување на пренос со побавни периферни компоненти ОМП располага со уште еден влезен пин за спремност на трансферот кој е означен со $READY$. Преку овој влезен пин $READY$ процесорот добива информациски сигнал од некоја поспора периферна компонента за тоа дали при читањето или при запишувањето, процесорот треба да внесе дополнителен такт период на чекање (анг. $WAIT$) со кој ќе го почека адресираниот надворешен уред да се спреми за испраќање или прифаќање на податокот. Кога сигналот, присутен на пинот $READY$ се наоѓа на високо ниво ($READY=1$), нема потреба од циклус за чекање и трансферот се извршува без чекање од страна на процесорот. Но, ако процесорот на пинот $READY$ добие ниско ниво ($READY=0$) тој внесува циклуси на чекање се додека нивото на тој пин повторно не се подигне на високо ниво.

1.4. Пинови за контрола на трансферот со прекини

Општиот микропроцесор дава можност за поврзување на периферни компоненти во МКП системот преку т.н. прекиден трансфер кога надворешна компонента или некој настан го прекинува извршувањето на тековниот програм на процесорот и го форсира да изврши посебен прекиден потпрограм за таа компонента. Со извршување на тој потпрограм ОМП комуницира со таа периферна компонента и практично го опслужува бараниот прекин кој бил поставен од нејзина страна. За остварување на трансфер на податоци со надворешни компоненти преку прекини ОМП располага со три пинови и тоа: влезен пин за немаскирлив прекин NMI , влезен пин за прекин со одобрување $INTR$ и излезен пин $INTA^*$ за одобрување на прекин.

Надворешните компоненти кои се приклучени на влезните пинови NMI и $INTR$ бараат сервисирање така што секоја од нив на својата линија ќе си постави високо ниво со што на процесорот му сигнализира дека има потреба да биде опслужена. На влезниот пин за НЕ-маскирлив прекин NMI се приклучува компонента кој треба да биде опслужена без одлагање, додека компонентата која е приклучена на пинот $INTR$ прекин ќе биде опслужена само ако нејзиното барање биде потврдено (прифатено, одобрено или дозволено) од страна на ОМП. Во секој случај, ако процесорот треба да сервисира побаран прекин, тој во принцип реагира на ист начин. Имено, ако прекилот е прифатен процесорот го прекинува извршувањето на тековниот програм на начин што ја завршува инструкцијата што моментално ја извршува, и адресата на следната инструкција што треба да се изврши ја запамтува во посебниот стек-сегмент од оперативната меморија. Потоа во програмскиот бројач ја внесува адресата на специјализираниот потпрограм кој е наменет за компонента која барала прекин кој се нарекува потпрограм за опслужување или за сервисирање на прекин.

Со тоа е прекинатото извршувањето на тековниот програм и ОМП ги извршува инструкциите од прекидната рутина опслужувајќи го уредот, кој побарал прекин. По завршувањето на потпрограмот за сервисирање на прекинот ОМП продолжува со извршување на следната инструкција од главниот програм која е прва после последно извршената инструкција која тој ја извршил и преминал на опслужување на прекинот. Имено, од стек меморијата процесорот ја чита адресата која беше таму запамтена и ја внесува во програмскиот бројач. Бидејќи таа адреса беше адресата на следната инструкција од тековниот програм веднаш после прекинот, процесорот најнормално си ја продолжува работата на тој програм. Како критичен и карактеристичен надворешен настан кој вообичаено предизвикува прекин е губењето на напојување, додека таков внатрешен настан може да биде делењето со нула. Надворешна компонента која предизвикува прекин може да биде и тастатурата или некој прекинувач или тастер кој ја променил состојбата.

Пред малку ги спомнавме влезните пинови за не-маскирлив и маскирлив прекин. Маскирањето е всушност софтверска техника со која програмерот може да го „ослепи“ процесорот за тој да „не го гледа“ барањето за прекин. Барањето на не-маскирлив прекин преку влезот NMI има највисок приоритет, тој HE може да се маскира и заради тоа процесорот веднаш извршува прекиден потпрограм со кој ја опслужува компонентата која го побарала таквиот прекин.

Барањето на прекин преку INT влезот може да биде претходно софтверски маскирано, такашто компонентата поврзана на пинот INT ќе биде опслужена само ако програмерот го одобрил барањето за прекин на таа линија и не го маскирал. Во тој случај процесорот го прифаќа поставеното барање добиено на пинот INT, така што на излезот за потврден прекин INTA* поставува ниско ниво и со тоа и' сигнализира, ја информира компонентата која побарала INT прекин дека ќе биде опслужена, и почнува да го извршува соодветниот прекиден потпрограм. Но, ако прекинот е софтверски маскиран, процесорот HE го прекинува извршувањето на тековниот програм и нема да го опслужи бараниот прекин бидејќи истиот „не го гледа“ и „не е свесен“ за него.

1.5. Пинови за контрола на директен мемориски пристап

Општиот микропроцесор овозможува и приклучување на периферни компоненти во својата околина кои со меморијата ќе комуницираат и разменуваат податоци со директен мемориски пристап (ДМП). За ваквиот трансфер на податоци ОМП располага со два пина на кои е поврзана надворешната компонента која бара директен мемориски пристап. Таа барањето му го поставува на процесорот преку влезниот пин за барање на контрола над магистралите BUSRQ. Процесорот пак, преку излезниот пин BUSAK испраќа сигнал до компонентата дека е прифатено барањето за ДМП и дека неа и е одобрена контролата над магистралите од негова страна. За ваквиот трансфер на податоци реалните процесори овие два пина ги означуваат и со DMARQ или HOLD за барање на ДМП, и DMACK или HLDA за прифатен, одобрен ДМП.

Надворешната компонента бара ДМП преку посебно програмабилно дигитално ИК со специјална намена наречено ДМП контролер кое на линијата BUSRQ поставува високо ниво (BUSRQ=1). Процесорот ја завршува тековната фаза од инструкцијата која се извршува и го прифаќа барањето за ДМП преку поставување на високо ниво на излезниот пин BUSAK (BUSAK=1). Со ова, повторно преку ДМП контролерот, на периферната компонента и испраќа сигнал со којшто

покажува дека се исклучува од магистралите. На овој начин на компонентата ѝ е овозможен директен пристап до меморијата. За време на ДМП-преносот процесорот може да извршува само внатрешни работни операции бидејќи контролата над магистралите ја има ДМП контролерот кој ѝ овозможува на надворешната компонента директно да разменува податоци со работната RAM меморија. Кога ДМП трансферот ќе заврши, процесорот од компонентата добива барање за прекин со кое си ја враќа контролата над магистралите и продолжува со извршувањето на следната фаза од тековната инструкција која не беше целосно реализирана заради ДМП.

ЗАКЛУЧОК

Во овој труд воведовме оригинален модел на 8-битен општ микропроцесор (ОМП), кој претставува комбинација од заедничките хардверски и софтверски карактеристики со едновремено упростување на некои од нив, на три реални 8-битни микропроцесори: Intel 8080, Intel 8085 и Zilog Z-80.

Поконкретно, се фокусиравме на хардверскиот аспект и тоа во поголеми детали на пин-конфигурацијата објаснувајќи ја улогата на секој пин на нашиот ОМП-модел. Со тоа отворивме и можност за идно истражување на ОМП од софтверски аспект за негово програмирање во асемблерски јазик.

ЛИТЕРАТУРА

1. D. K. Kaushik. (2010) AN INTRODUCTION TO MICROPROCESSOR 8085. Dhanpat Rai Publishing co., New Delhi, India. https://www.researchgate.net/publication/264005162_An_Introduction_to_Microprocessor_8085
2. Intel Corporation. (1980). 8080/8085 MACRO ASSEMBLER OPERATOR'S MANUAL, Intel Corporation, Santa Clara, California, USA. http://www.bitsavers.org/pdf/intel/ISIS_II/9800292-04D_ISIS_II_8080_8085_Macro_Assembler_Operators_Guide_Aug81.pdf
3. Intel Corporation. (1978). 8080/8085 ASSEMBLY Language Programming Manual, Intel Corporation, Santa Clara, California, USA. http://bitsavers.trailing-edge.com/components/intel/8085/9800301C_8080_8085_Assembly_Language_Programming_Manual_Nov78.pdf
4. John Crisp. (2004, 2nd Edition.). Introduction to Microprocessors and Microcontrollers. Newnes Elsevier. Oxford, Massachusetts, USA. <https://www.pdfdrive.com/introduction-to-microprocessors-and-microcontrollers-d158887842.html>
5. Microprocessor Fundamentals.pdf <https://www.pdfdrive.com/microprocessor-fundamentalspdf-d41485263.html>
6. MICROPROCESSOR 8085 (Highlited extracts) <https://inspirit.net.in/books/academic/8085%20Microprocessor%20-%20Ramesh%20Gaonkar.pdf>