

МЕЃУНАРОДЕН ЦЕНТАР ЗА СЛАВЈАНСКА ПРОСВЕТА - СВЕТИ НИКОЛЕ

«МЕЃУНАРОДЕН ДИЈАЛОГ: ИСТОК - ЗАПАД»
(ЕКОНОМИЈА, БЕЗБЕДНОСНО ИНЖЕНЕРСТВО,
ИНФОРМАТИКА)

СПИСАНИЕ
на научни трудови

**ДВАНАЕСЕТТА МЕЃУНАРОДНА
НАУЧНА КОНФЕРЕНЦИЈА
„МЕЃУНАРОДЕН ДИЈАЛОГ: ИСТОК - ЗАПАД“
МЕЃУНАРОДЕН СЛАВЈАНСКИ УНИВЕРЗИТЕТ
„ГАВРИЛО РОМАНОВИЧ ДЕРЖАВИН“
СВЕТИ НИКОЛЕ - БИТОЛА**

Година VIII

Број 1

Април 2021

- СВЕТИ НИКОЛЕ, Р. СЕВЕРНА МАКЕДОНИЈА -
- 2021 -

Издавач: Меѓународен центар за славјанска просвета - Свети Николе

За издавачот: м-р Михаела Ѓорчева, директор

Наслов: «МЕЃУНАРОДЕН ДИЈАЛОГ: ИСТОК - ЗАПАД» (ЕКОНОМИЈА, БЕЗБЕДНОСНО ИНЖЕНЕРСТВО, ИНФОРМАТИКА)

Организационен одбор:

Претседател: проф. д-р Јордан Ѓорчев

Заменик претседател: д-р Стромов Владимир Јуревич, Русија

Член: м-р Борче Серафимовски

Член: м-р Милена Спасовска

Уредувачки одбор:

Проф. д-р Ленче Петреска - Република Северна Македонија

Проф. д-р Александар Илиевски - Република Северна Македонија

Проф. д-р Мирослав Крстиќ - Република Србија

Проф. д-р Момчило Симоновиќ - Република Србија

Проф. д-р Тодор Галунов - Република Бугарија

Проф. д-р Даниела Тасевска - Република Бугарија

Доц. д-р Хаџиб Салкиќ - Република Босна и Херцеговина

Проф. д-р Татјана Осадчаја - Руска Федерација

Доц. д-р Вера Шунаева - Руска Федерација

Уредник: проф. д-р Јордан Ѓорчев

Компјутерска обработка и дизајн: Адриано Панајотов, Маја Маријана Панајотова, Благој Митев

ISSN (принт) 1857-9299

ISSN (онлајн) 1857-9302

Адреса на комисијата: ул. Маршал Тито 77, Свети Николе, Р. Северна Македонија

Контакт телефон: +389 (0)32 440 330

Уредувачкиот одбор им се заблагодарува на сите учесници за соработката!

Напомена:

Уредувачкиот одбор на списанието «МЕЃУНАРОДЕН ДИЈАЛОГ: ИСТОК-ЗАПАД» не одговара за можните повреди на авторските права на научните трудови објавени во списанието. Целосната одговорност за оригиналноста, автентичноста и лекторирањето на научните трудови објавени во списанието е на самите автори на трудовите.

Секој научен труд пред објавувањето во списанието «МЕЃУНАРОДЕН ДИЈАЛОГ: ИСТОК-ЗАПАД» е рецензиран од двајца анонимни рецензенти од соодветната научна област.

Печати: Печатница и книжарница „Славјански“, Свети Николе

Тираж: 100

МЕЃУНАРОДЕН ДИЈАЛОГ

ИСТОК - ЗАПАД

ЕКОНОМИЈА, БЕЗБЕДНОСНО ИНЖЕНЕРСТВО,
ИНФОРМАТИКА

ОБЛАСТ
ИНФОРМАТИКА

Доц. д-р Жанета Сервини

МСУ „Г. Р. Державин“ Свети Николе – Битола
Р. Северна Македонија

М-р Јани Сервини

СОТУ „Ѓорѓи Наумов“ – Битола
Р. Северна Македонија

ФУНКЦИОНАЛНА БЛОК ШЕМА НА ОПШТ МИКРОПРОЦЕСОР

АПСТРАКТ: Идентификуван е проблем на постоење на поголем број различни модели за општ микропроцесор од кои ниту еден од нив НЕ е доволно близок до некој од реалните микропроцесори (МКП).

Во овој труд воведуваме оригинална 8-битна дигитална компонента како посебен модел на општ микропроцесор (ОМП), која како од хардверски, така и од софтверски аспект, претставува комбинација на заедничките карактеристики, но едновременно и нивно упростување, на три реални 8-битни микропроцесори: Intel 8080, Intel 8085 и Zilog Z-80. Попрецизно, се фокусираме на хардверскиот аспект и тоа во поголеми детали на интерната архитектура на нашиот ОМП-модел, т.е. на неговата функционална блок-шема.

КЛУЧНИ ЗБОРОВИ: општ микропроцесор, интерна архитектура, функционална блок шема

FUNCTIONAL BLOCK DIAGRAM OF GENERAL MICROPROCESSOR

ABSTRACT: The problem of the existence of a number of different models for the general microprocessor has been identified, none of which is NOT close enough to any of the real microprocessors. In this paper we introduce the original 8-bit digital component as an original model of general microprocessor, which from both hardware and software aspects, is a combination of common features, but at the same time their simplification, of three real 8-bit microprocessors: Intel 8080, Intel 8085 and Zilog Z-80. More precisely, we focus on the hardware aspect, especially on the internal architecture of our model (its functional block diagram).

KEY WORDS: general microprocessor, internal architecture, functional block diagram

ВОВЕД

Новововедениот ОМП е разработен во неколку различни трудови и тоа од трите клучни аспекти кои се неопходно потребни за разбирање на неговото функционирање и употреба за формирање на МКП-систем:

- » од внатрешен аспект – неговата интерна архитектура: функционалната блок-шема и пин конфигурација,
- » од аспект на поврзување со полупроводнички мемориски интегрирани кола, како и со различни влезно/излезни порти, но и
- » од софтверски аспект за негово програмирање во асемблерски јазик.

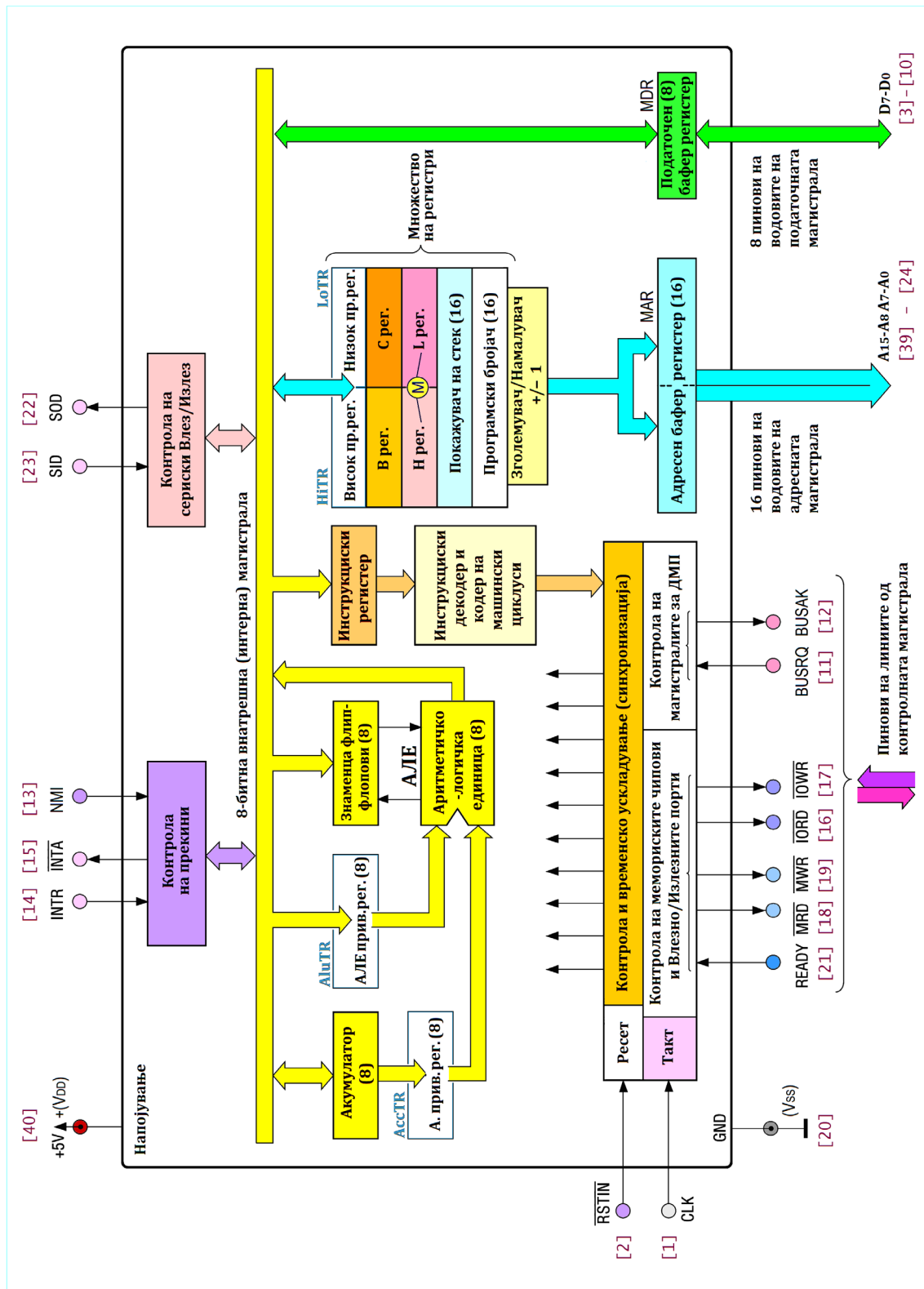
Сличноста на овој ОМП со трите наведени реални МКП-и во однос на нивните заеднички хардверски и софтверски особини е доста голема. Токму заради тоа, воведувањето на ваков оригинален модел на општ микро-процесор „осветлен“ од страна на сите три аспекти, овозможува поедноставување на изучувањето и разбирањето на базичните принципи за функционирање на реалните МКП-и.

Освен научната јавност, бенефит од резултатите на овој труд ќе имаат и студентите од една страна, бидејќи им се олеснува совладувањето и разбирањето на базичните концепти во овој домен, а од друга страна професорите, бидејќи им се олеснува трансферот на знаења. На овој начин, студентите поедноставно ги стекнуваат неопходно потребните основи за архитектонската структура, функционирањето, поврзувањето во систем, како и програмирањето на реалните микропроцесори, кои би ги изучувале во понатамошната едукација.

Поконкретно, во овој труд се фокусираме на функционалната блок шема на ОМП со осврт на базичните градбени блокови, внатрешни и надворешни сигнали, аритметичко-логичката единица со придружните регистри, потоа регистрите за општа и специјална намена, како и на единицата за контрола на прекините и единицата за сервиски влез/излез на податоци.

1. ОСНОВНИ ГРАДБЕНИ БЛОКОВИ НА ОМП И НИВНИ СИГНАЛИ

Воведениот ОМП претставува 8-битна софтверски програмабилна дигитална компонента чија функционална блок шема е прикажана на сл.1. Имено, тој во единечен временски интервал може едновремено да обработува 8 битен податок на паралелен начин, процесирајќи ги сите 8 бита.



Сл.1. Функционална блок шема на ОМП

За да изврши трансфер на податоци со периферните компоненти поврзани со него, ОМП располага со еден 16-битен адресен бафер регистер (MAR) и еден 8-битен податочен бафер регистер (MDR). Овие два регистри овозможуваат приклучување на ОМП на надворешните магистрала: на 16 – битната адресна, и на 8 битната податочна магистрала од една страна, како и со внатрешната 8-битна магистрала од друга страна.

ОМП преку MAR може да адресира одредена мемориска локација во некое од приклучените мемориски интегрирани кола или пак некоја конкретна влезно/излезна (В/И) порта. Адресните битови кои се внесуваат во MAR доаѓаат од 16-битните регистри за посебна намена и тоа од програмскиот бројач, од покажувачот на стек меморија, или од некој од 8-битните т.н. регистри за општа употреба: A, B, C, H, L. Податокот којшто претставува содржина која треба да се запише во, или да се прочита од адресираната мемориска локација или од В/И портата се внесува во MDR. Ако прочитаниот бајт е код за некоја операција која ОМП треба да ја изврши, тој бајт се пренесува до инструкцискиот регистер, но ако е влезен податок тој се пренесува до некој од другите регистри за општа употреба. Во MDR се пренесува и резултатот од некој од регистрите за општа намена на ОМП, кој потоа како излезен податок ќе биде запишан во адресираната надворешна компонента.

Инструкцискиот регистер (IR) е исклучително важен 8-битен регистер бидејќи во него се сместува кодот на операција на инструкцијата која што процесорот ја зема од работната меморија и која треба да ја изврши. Инструкцискиот декодер ја декодира содржината на IR и испраќа контролни сигнали до кодерот на машински циклуси (СМС). Врз основа на добиените сигнали од декодирањето, СМС испраќа соодветни сигнали до единицата за контрола и временско синхронизирање (CTSUS). Оваа единица, покрај сигналите кои ги добива од страна на СМС, ги прифаќа и сите други внатрешни и надворешни сигнали на состојба. Врз основа на нив, оваа функционална единица испраќа внатрешни и надворешни сигнали чија улога им е временски да ја усогласат и да ја контролираат работата на сите градбени функционални единици во рамки на КОП, како и на сите периферни компоненти кои се поврзани на ОМП и кои го формираат МКП-систем. Заради ова CTSU може да се смета дека е најважниот дел – „мозокот“ или „јадрото“ на ОМП.

Дел од влезните сигнали на CTSU кои доаѓаат од неговата надворешна околина се сигналот READY и сигналот BUSRQ. Спуштајќи го на ниско напонско ниво сигналот за спремност READY, некоја мемориска или В/И периферна компонента му укажува на ОМП дека ѝ треба дополнително време за да испрати или да прифати податок. Вообичаено, кога нема потреба од дополнително време, линијата READY треба да се наоѓа на високо напонско ниво со што компонентата покажува дека е спремна за трансфер на податоци и нема потреба од чекање. Надворешната компонента која е поврзана во МКП-системот бара директен пристап до оперативната RAM меморија (ДМП) така што на ОМП му го поставува на високо ниво сигналот за барање контрола над магистралите BUSRQ.

Уште еден влезен сигнал во CTSU е такт сигналот (CLK). Овој сигнал временски ја синхронизира работата на сите внатрешни и надворешни компоненти во МКП-системот. Такт сигналот е периодичен правоаголен сигнал со периода $T_0=1\text{ us}$ и еднакво времетраење на високото и ниското ниво: импулсот од +5V и паузата од 0V. Од логички аспект, тоа е непрекинатата низа на 1-и и 0-и.

На CTSU се приклучува и влезниот сигнал за хардверско ресетирање на процесорот RSTIN со чие активирање ако се спушти на ниско ниво, процесорот влегува во првобитна, почетна состојба.

Врз основа на сите овие влезови, CTSU ги обезбедува сите излезни контролни, управувачки и временски сигнали кои се потребни заради извршување на бараната операција. Испраќајќи ги генерираните сигнали до сите внатрешни функционални единици, но и до компонентите надвор од него, ОМП преку CTSU целосно ја управува работата на МКП-системот.

Како надворешни сигнали кои ОМП ги испраќа за да ги контролира и со тоа да ги управува мемориските компоненти и В/И порти поврзани на него (т.е. на ОМП), CTSU ги генерира излезните сигнали MRD*, MWR*, IORD*, IOWR*, и BUSAK.

Со сигналите MRD* и MWR* CTSU покажува дека реализира читање, односно запишување податок од/во мемориска компонента. Од друга страна, со сигналите IORD* и IOWR* CTSU покажува дека реализира примање на податок од влезна, односно испраќање на резултантен податок до излезна порта. За да го реализира трансферот на податоци ОМП преку CTSU активира само еден од овие четири сигнали кого го поставува на ниско ниво и тоа соодветно на тоа со која периферна компонента ќе разменува податоци и дали од неа ќе чита, или во неа ќе запишува. Другите три сигнали CTSU ги држи пасивни, подигнувајќи ги на високо ниво.

Преку поставување на сигналот за дозволена контрола над магистралите BUSAK на високо ниво, ОМП преку CTSU му одговара на надворешниот уред кој побарал ДМП дека го прифаќа поставеното барање за ДМП. Веднаш потоа ОМП се исклучува од магистралите и овозможува тој ДМП да се реализира помеѓу надворешниот уред и работната RAM меморија.

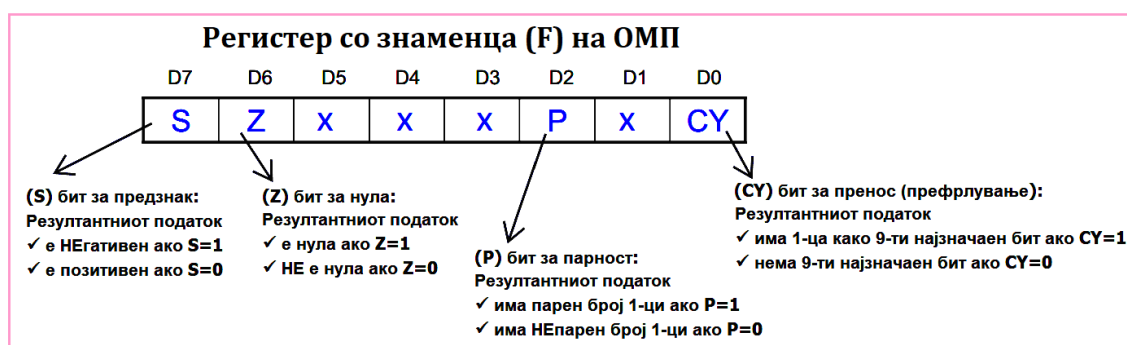
Аритметичко – логичката единица (ALU) е посебна функционална единица во рамки на ОМП која извршува аритметичко-логички операции и со тоа ги обработува и модификува влезните податоци во излезни резултантни податоци. ALU може да извршува одредени аритметички и логички операции со два податоци чија должина е по еден бајт (8-бита). Такви операции се аритметичките операции собирање и одземање, како и логичките операции И, ИЛИ и ЕКСИЛИ. Покрај наведените, АЛЕ може да обработува и единечен 8-битен податок на начин што истиот може да го комплементира, да врши и поместување на неговите битови во лево или во десно или да ја зголемува, односно намалува неговата вредност за 1.

2. ДОПОЛНИТЕЛНИ РЕГИСТРИ НА ОМП

Акумулаторскиот регистер е означен со А или Асс е 8-битен регистер кој е директно поврзан со ALU. Во Асс секогаш се сместува еден од податоците кој што треба да биде обработен, но и податокот којшто како резултат се добива после операцијата која што ALU ќе ја изврши со него.

Како посебен регистер кој е поврзан со ALU е и регистерот на знаменца означен со F кој се нарекува и регистер на состојби прикажан на сл. 2. Од осумте статусни битови се користат само четири, при што секој бит е посебно знаменце кое сигнализира појава на некоја состојба во која може да се најде добиениот податок:

- » *Знаменцето за предзнак (S)* сигнализира дали добиениот податок е позитивен или негативен според означувањето во втор комплемент. Ова знаменце „го гледа“ најмногу значајниот, осмиот бит од податокот. Ако овој бит е 1, тогаш тој податок е негативен и знаменцето тоа го



Сл.2 Регистер со знаменца (F)

- » Знаменцето за пренос (CY) е бит кој укажува дали по извршената операција во добиениот резултантен податок има пренос после 8-от бит. Ова е всушност 9-ти бит кој се сместува во посебен флип-флоп надвор од акумулаторот. Флагот CY е поставен на високо ниво (CY=1) кога аритметички се собираат два податоци и се добива збир за чие претставување е потребен и 9-ти бит. Знаменцето за пренос се сетира (CY=1) и ако при операцијата одземање, за да се добие коректен резултат, има потреба од позајмување кон 8-иот, најзначајниот бит од намаленикот. Овој бит е афектиран и после операцијата поместување на содржината на акумулаторот во лево или во десно, кога покрај 8-те бита на акумулаторот е вклучено и ова знаменце.

Во ОМП постојат и дополнителни регистри чии содржини претставуваат внесени податоци кои привремено се чуваат. Со овие регистри, покрај Асс, регистерот-F и ALU, се овозможува извршување на секоја инструкција од програмот.

2.1. Регистри за општа намена

Општиот микропроцесор содржи четири регистри за општа намена означени со В, С, Н и L, при што во секој од нив може привремено да чува 8 битен податок, т.е. 1 бајт. ОМП овие регистри може да ги третира и како два посебни регистерски парови Rp и тоа: парот В||С или ВС кој заеднички се означува како В-пар и вториот пар Н||L или HL кој се означува како Н-регистерски пар. Со спарувањето на регистрите е овозможено, по потреба, во нив привремено да се чуваат и дво-бајтни податоци долги по 16-бита.

ОМП располага и со четири 8-битни привремени регистри (TR) кои се потребни за непречено реализирање на внатрешниот пренос на податоци и извршување на операциите со нив. Тоа се двата регистри означени со HiTR и LoTR поврзани со регистрите за општа намена, како и привремениот регистер AluTR, кој е приклучен кон ALU бидејќи е неопходен за комплетирање на аритметичко-логичките операции. Четвртиот привремен регистер АссTR овозможува во Асс прво да се смести влезниот податок, а по извршената операција во Асс да се внеси добиениот резултат.

2.2. Регистри за посебна (специјална) намена

ОМП располага и со два 16-битни регистри за посебна намена. Тоа се специјалните регистри: програмскиот бројач (PC) и покажувачот кон стек меморијата – стек поинтерот (SP).

Програмскиот бројач PC е првиот регистер за посебна намена. Тој е мемориски поинтерски регистер кон примарната меморија на ОМП. Имено, програмскиот бројач ја содржи мемориската адреса на локацијата каде што е сместена следната инструкција од програмот што треба да се изврши. ОМП по автоматизам ја зголемува содржината на програмскиот бројач секогаш кога ќе се изврши некоја инструкција и со тоа покажува на следната адреса во меморијата во чија локација е сместена следната инструкција што треба да биде извршена.

Стек поинтерот SP е вториот регистер за специјална намена кој покажува кон стек меморијата. Тоа е уште еден мемориски поинтерски регистер чија намена е сосема различна од онаа на програмскиот бројач PC. Имено, стек поинтерот SP покажува на дел од оперативната меморија што е наменета за т.н. стек, магацинска или напластена меморија. Поконкретно, во SP е сместена адресата на повисоката од двете адреси на две последователни мемориски локации во кои како податоци можат да се сместат содржини на два 8-битни регистри од ОМП, или еден 16-битен.

3. ЕДИНИЦА ЗА КОНТРОЛА НА ПРЕКИНИТЕ

Преку оваа единица се контролираат прекините кои ги иницираат надворешни компоненти поврзани на ОМП и кои со тоа бараат да бидат опслужени, или внатрешните прекини кои се софтверски иницирани со посебни инструкции. Барањата за прекини, како и нивното сервисирање се реализира за време на нормалната работа на ОМП кога тој извршува одреден главен програм. Имено, ако за време на извршувањето на главниот програм одреден внатрешен настан или надворешна компонента побара прекин за да биде опслужена, ОМП го прекинува извршувањето на тековниот програм и почнува да извршува соодветен потпрограм со кој ќе го сервисира барањето за тој прекин. По комплетирањето на сервисниот потпрограм, процесорот се враќа во главниот програм и продолжува со негово извршување од местото каде што бил прекинат.

На контролата на прекини се поврзани два влезни сигнали за немаскирлив прекин NMI и за прекин со одобрување INTR. ОМП барањето на линијата за немаскирлив прекин NMI го опслужува без одлагање, додека добиеното барање за прекин преку водот INTR го сервисира само ако тоа барање е овозможено и не е маскирано. Токму со излезниот сигнал INTA* процесорот покажува кога го прифаќа и одобрува прекинет на линијата INTR.

4. ЕДИНИЦА ЗА СЕРИСКИ ВЛЕЗ/ИЗЛЕЗ

Со оваа единица ОМП може да ја контролира комуникација со периферна компонента која пренесува податоци на сериски начин. Преку сигналот за сериски влез на податоци SID процесорот може да прифати 8-битен податок (еден бајт) бит-по-бит за време од 8 такт периоди, додека преку сигналот за сериски излез на податоци SOD, повторно бит-по-бит, ОМП може за исто толкаво време да испрати резултантен бајт.

ЗАКЛУЧОК

Во овој труд воведовме оригинален модел на 8-битен општ микропроцесор (ОМП), која претставува комбинација од заедничките хардверски и софтверски карактеристики со едновремено упростување на некои од нив, на три реални 8-битни микропроцесори: Intel 8080, Intel 8085 и Zilog Z-80. Поконкретно, детално се фокусиравме на функционалната блок шема на ОМП и на нејзините основни градбени блокови, како и на внатрешните и надворешните сигнали, аритметичко-логичката единица со придружните регистри, потоа регистрите за општа и специјална намена, како и на единицата за контрола на прекините и единицата за сервиски влез/излез на податоци. Со тоа се отвори можност да се иницираат и истражувања на ОМП од аспект на поврзување со полупроводнички мемориски интегрирани кола, како и со различни влезно/излезни порти, но и од софтверски аспект за негово програмирање во асемблерски јазик.

ЛИТЕРАТУРА

1. D. K. Kaushik. (2010) AN INTRODUCTION TO MICROPROCESSOR 8085. Dhanpat Rai Publishing co., New Delhi, India. https://www.researchgate.net/publication/264005162_An_Introduction_to_Microprocessor_8085
2. Intel Corporation. (1980). 8080/8085 MACRO ASSEMBLER OPERATOR'S MANUAL, Intel Corporation, Santa Clara, California, USA. http://www.bitsavers.org/pdf/intel/ISIS_II/9800292-04D_ISIS_II_8080_8085_Macro_Assembler_Operators_Guide_Aug81.pdf
3. Intel Corporation. (1978). 8080/8085 ASSEMBLY Language Programming Manual, Intel Corporation, Santa Clara, California, USA. http://bitsavers.trailing-edge.com/components/intel/8085/9800301C_8080_8085_Assembly_Language_Programming_Manual_Nov78.pdf
4. John Crisp. (2004, 2nd Edition.). Introduction to Microprocessors and Microcontrollers. Newnes Elsevier. Oxford, Massachusetts, USA. <https://www.pdfdrive.com/introduction-to-microprocessors-and-microcontrollers-d158887842.html>
5. Microprocessor Fundamentals.pdf <https://www.pdfdrive.com/microprocessor-fundamentalspdf-d41485263.html>
6. MICROPROCESSOR 8085 (Highlited extracts) <https://inspirit.net.in/books/academic/8085%20Microprocessor%20-%20Ramesh%20Gaonkar.pdf>